

doi:10.3969/j.issn.1001-4616.2018.01.010

一种提取纳米 CMOS 器件中源/漏寄生电阻的 恒定迁移率方法

鲁明亮¹,陶永春²

(1.南京高等职业技术学校轨道交通学院,江苏 南京 210019)

(2.南京师范大学物理科学与技术学院,江苏 南京 210023)

[摘要] 源/漏寄生电阻作为器件总电阻的一个重要组成部分,严重制约着纳米 CMOS 器件性能.随着纳米 CMOS 器件尺寸不断减小,源/漏寄生电阻占器件总电阻比例越来越高,已经成为衡量 CMOS 器件可靠性的一个重要参数.本文提出一种恒定沟道迁移率条件下提取纳米 CMOS 器件中源/漏寄生电阻的方法.本方法通过测量固定偏压条件下一个器件的两条线性区 I_d-V_{gs} 曲线之比,推导出纳米 CMOS 器件中源/漏寄生电阻,操作简单,精确度高,避免了推导过程中由沟道迁移率退化引入与器件栅长相关的误差.我们详细研究并选取合适外加偏压条件,保持推导过程中沟道迁移率恒定,确保源/漏寄生电阻值的稳定性.在固定外加偏压条件下,我们提取了 45 nm CMOS 工艺节点下不同栅长器件的源/漏寄生电阻值,结果表明源/漏寄生电阻值与栅长不存在直接的依赖关系.最后,我们研究了工艺过程和计算过程引入的波动并进行了必要的误差分析.

[关键词] 纳米 CMOS 器件,源/漏寄生电阻,提取方法

[中图分类号] TN386.1 [文献标志码] A [文章编号] 1001-4616(2018)01-0050-05

A Constant-Mobility Method to Extract Source/Drain Parasitic Resistance for Nanometer CMOS Devices

Lu Mingliang¹, Tao Yongchun²

(1.School of Rail Transportation, Nanjing Technical Vocational College, Nanjing 210019, China)

(2.School of Physics and Technology, Nanjing Normal University, Nanjing 210023, China)

Abstract: As a significant fraction of the total device resistance, source/drain parasitic resistance seriously limits the performance of deeply nanometer CMOS devices. The source/drain parasitic resistance is becoming a larger fraction of the total device resistance as the nanometer CMOS scales down. Therefore, it is a important parameter of reliability for CMOS devices. A source/drain parasitic resistance extraction method is proposed from the conditions in which the channel mobility remains constant. Source/drain parasitic resistance is extracted from the ratio of two linear I_d-V_{gs} curves in the fixed bias conditions. This method avoiding the gate length dependent errors induced by mobility degradation in extraction procedures is simple and accurate. We specifically arrange the bias conditions in which the effect of vertical electrical filed on channel mobility is eliminated and the stability of the source/drain parasitic resistance is ensured. Under the suitable bias conditions, the source/drain parasitic resistances of different gate length under 45 nm technology is extracted, and it is independent with the gate length. Finally, the fluctuations of process and calculation are investigated and the errors are analyzed.

Key words: nanometer CMOS devices, source/drain parasitic resistance, extraction method

源/漏寄生电阻减小了 CMOS 器件工作时本征电路的栅极电压 (V_{GS}) 和漏极电压 (V_{DS}), 降低了器件的驱动能力, 是 CMOS 器件中一个重要的参数^[1-4]. 随着纳米 CMOS 器件尺寸不断缩小, 沟道电阻 ($R_{channel}$) 逐渐减小, 源/漏寄生电阻占器件总电阻 ($R_T = R + R_{channel}$) 比例越来越高, 成为制约纳米 CMOS 器件发展的主要因素^[5-8]. 因此, 如何精确地提取一个器件的源/漏寄生电阻是小尺寸纳米 CMOS 器件研究中一个非

收稿日期: 2017-10-17.

基金项目: 国家自然科学基金(10947005).

通讯联系人: 鲁明亮, 讲师, 研究方向: 理论物理学. E-mail: lml5127@126.com

常重要的课题. Terada 等人提出的串联电阻测量方法是早期应用最普遍的方法之一^[9-10], 研究发现这种在计算过程中需要测量一系列栅长器件的方法引入很大误差^[11]. Selmi L 等人提出了通过测量单独 CMOS 器件参数计算源/漏寄生电阻的方法^[12-16], 这些方法由于需要估算有效沟道长度、有效沟道宽度、氧化层电容和有效沟道迁移率等参数引入较大误差. 随着纳米 CMOS 器件的研究发展, 科学工作者们一直致力于 CMOS 器件参数的研究, 不断提出新的源/漏寄生电阻提取方法, 这些方法或者操作较为复杂^[17-23], 或者忽略了推导过程中沟道迁移率的退化^[24-26].

最近, 源/漏寄生电阻与器件栅长(L)的关系逐渐受到人们的关注, Campbell J P 等人研究发现源/漏寄生电阻与器件栅长存在一定的依赖关系, 并指出随着栅长的增加, 源/漏寄生电阻呈现出线性地增大^[27-28]. 有研究表明, 这种线性关系是由于在推导源/漏寄生电阻过程中, 忽略纵向电场变化引起的沟道迁移率退化, 导致源/漏寄生电阻叠加了一个高估值, 并指出这个高估值与器件栅长成正比^[29]. 因此, 如何在沟道迁移率恒定条件下提取小尺寸纳米 CMOS 器件中源/漏寄生电阻成为一个新的挑战.

本文根据 CMOS 器件线性电流模型, 进行理论推导, 提出一种通过测量一个器件的两条线性区 I_d-V_{gs} 曲线之比计算纳米 CMOS 器件中源/漏寄生电阻的方法. 本方法严格选取外加偏压条件以避免纵向电场对沟道迁移率的影响, 保持沟道迁移率在推导过程中恒定不变. 本方法推导出的源/漏寄生电阻不会叠加沟道迁移率退化引入的高估值, 精确度较高, 与栅长之间不存在依赖关系.

1 理论模型

器件工作在线性区时, 漏极电流为

$$I_d = \beta(V_{GS} - V_T - 0.5 V_{DS})V_{DS}, \quad (1)$$

式中, V_{GS} 是栅极电压, V_{DS} 是漏极电压, V_T 为阈值电压,

$$\beta = W\mu_{\text{eff}}C_{\text{OX}}/L_{\text{eff}}, \quad (2)$$

式中, L_{eff} 是有效沟道长度, W 是沟道宽度, μ_{eff} 为有效沟道迁移率, 而 C_{OX} 为单位面积氧化层电容.

图 1 是带有源和漏寄生电阻(R_s 和 R_d) 的 CMOS 器件的等效电路图, 图中的电路结构表明单个 CMOS 器件的 R_s 和 R_d 可以看作是与本征器件(虚框内部分)串联, R_s 和 R_d 的电流与本征器件的沟道电流相等, 此时器件本征电压(V_{GS} 和 V_{DS}) 与外加偏压(V_{gs} 和 V_{ds}) 的关系为

$$V_{GS} = V_{gs} - I_d R_s, \quad (3)$$

$$V_{DS} = V_{ds} - I_d (R_s + R_d). \quad (4)$$

对于对称结构的 CMOS 器件, 满足 $R_s = R_d = R$, 由式(1)、(3)和(4)可以得到

$$I_d = \beta(V_{gs} - V_T - 0.5V_{ds})(V_{ds} - 2RI_d). \quad (5)$$

2 计算原理

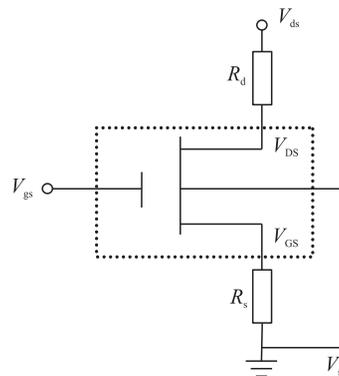
实验过程中使用的 CMOS 器件是由 45 nm 标准工艺制作的, 器件栅长为 45 nm, 栅宽为 10 μm , 氧化层厚度为 2.6 nm. 在测量过程中, 为了确保器件运行在线性区, 选择在两个较小的 V_{ds} 条件下, 测量得到 1 个 CMOS 器件的两条 I_d-V_{gs} 曲线, 如图 2 所示, 这两条曲线之比为

$$\frac{I_d^1}{I_d^2} = \frac{\beta^1(V_{gs}^1 - V_T^1 - 0.5V_{ds}^1)(V_{ds}^1 - 2RI_d^1)}{\beta^2(V_{gs}^2 - V_T^2 - 0.5V_{ds}^2)(V_{ds}^2 - 2RI_d^2)}. \quad (6)$$

当器件工作在较高的纵向电场($V_{gs} \gg V_T$) 区域时, SiO_2/Si 表面的有效纵向电场为^[21]

$$E_{\text{eff}} = \frac{V_{gs} + (\eta - 1)V_T - \eta V_{\text{FB}} - 2\eta\psi_B}{3\eta T_{\text{OX}}}, \quad (7)$$

式中, η 是一个经验参数, 一般用于电子时 $\eta = 2$, 用于空穴时 $\eta = 3$, V_{FB} 是平带电压, ψ_B 是费米能级与本征



图中 V_{GS} 和 V_{DS} 是器件电路的本征电压, V_{gs} 和 V_{ds} 是器件电路的外加偏压.

The intrinsic voltages (V_{GS} and V_{DS}) and the applied voltages (V_{gs} and V_{ds}) are indicated.

图 1 带有源/漏寄生电阻(R_s/R_d) 的 CMOS 器件的等效电路图

Fig. 1 Equivalent circuit of CMOS device with source and drain parasitic resistance (R_s/R_d)

费米能级的之间电位差, T_{OX} 是氧化层厚度. 对于同一个 CMOS 器件, V_{FB} , ψ_B 和 T_{OX} 是定值, 不随外加偏压条件的变化而改变.

器件工作在线性区时, 用最大跨导处线性外推方法分别得到图 2 中两条 I_d-V_{gs} 曲线的阈值电压 V_T^1 和 V_T^2 , 由式(7)可知, 如果在曲线 1 ($V_{ds} = 10$ mV) 上选定一点 V_{gs}^1 , 作为栅极电压参考值, 为了保持 E_{eff} 恒定不变, 曲线 2 ($V_{ds} = 50$ mV) 上的点 V_{gs}^2 需满足如下关系

$$V_{gs}^2 = V_{gs}^1 + (\eta - 1)(V_T^1 - V_T^2). \quad (8)$$

研究表明, 沟道电场是影响沟道载流子迁移率的主要因素, 当源极接地, 漏极加一个很小的偏压时, 沟道电场主要为纵向电场. 因此, E_{eff} 恒定不变时, 有效沟道迁移率(μ_{eff})的变化可以忽略不计^[21]. 在计算过程中, 通过选择两组合适的 V_{gs} 和 V_T 可以使得 μ_{eff} 在不同的 V_{ds} 条件下保持恒定不变. 在相同的 μ_{eff} 下, 如果假设 C_{OX} 和 L_{eff} 不变, 根据式(2)得到 $\beta_1 = \beta_2$, 式(6)可以表示为

$$\frac{I_d^1}{I_d^2} = \frac{(V_{gs}^1 - V_T^1 - 0.5V_{ds}^1)(V_{ds}^1 - 2RI_d^1)}{(V_{gs}^2 - V_T^2 - 0.5V_{ds}^2)(V_{ds}^2 - 2RI_d^2)}. \quad (9)$$

解方程(9)求得源/漏寄生电阻 R 的值.

3 结果与讨论

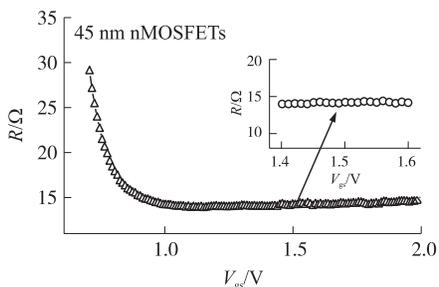
3.1 栅极电压条件

我们将一个 45 nm CMOS 器件的源极接地, 分别测量了 V_{ds} 为 10 mV 和 50 mV 时的 $I_{ds}-V_{gs}$ 曲线, 并计算出了 R 值. 在图 3 中, 给出了 R 随 V_{gs} 的变化, 图 3 中 V_{gs} 为栅极电压的参考值(V_{gs}^1). 图 3 中曲线表明 R 随 V_{gs} 增大急剧减小然后趋于平稳. 当 $V_{gs} = 0.7$ V 时, R 为 29.0 Ω , 随着 V_{gs} 逐渐增大, R 值急剧减小, 当 $V_{gs} = 0.8$ V 时, R 减小到 17.8 Ω . 当 V_{gs} 增大到 1 V 时, R 为 14.2 Ω , 当 V_{gs} 增大到 1.2 V 时, R 为 13.9 Ω , V_{gs} 持续增大到 1.3 V 时, R 为 14.1 Ω , 这表明在 1 V~1.3 V 区间, R 值有所波动, 但是波动很小, 约为 2%. 图 3 的插图给出了在 1.4 V~1.6 V 区间 R 随 V_{gs} 的变化. 插图中曲线表明, 当 $V_{gs} = 1.4$ V 时, R 为 14.2 Ω , 当 V_{gs} 增大到 1.5 V 时, R 为 14.2 Ω , V_{gs} 增大到 1.6 V 时, R 仍然为 14.2 Ω , 这表明在 1.4 V~1.6 V 区间 R 值基本稳定在 14.2 Ω . 当 V_{gs} 高于 1.6 V 时, R 值出现小幅度上升, 当 V_{gs} 增大到 2 V 时, R 增大到 14.6 Ω .

通过以上分析, 在较小 V_{gs} 下, R 随 V_{gs} 的变化很大, 此时 R 值是不可靠的, 这是 R 复杂结构所决定的. V_{gs} 大于 1 V 时, R 值稍有波动, 但是波动并不大, 此时 R 值是可靠的. R 在 1.4 V~1.6 V 的 V_{gs} 范围内最为稳定, 为了确保 R 值的稳定性, 整个推导过程, 我们选取 V_{gs} 的参考值为 1.5 V.

3.2 R 与栅长的关系

在 V_{gs} 为 1.5 V 条件下, 我们提取了 45 nm CMOS 工艺节点下从 32 nm 到 60 nm 之间 6 个不同栅长器件的 R 值, 如图 4 所示, 不同栅长器件 R 值略有不同. 32 nm 器件 R 为 14.1 Ω , 60 nm 器件 R 为 15 Ω , 略大

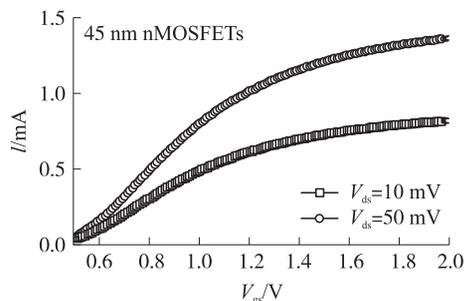


插图中给出了 V_{gs} 在 1.4 V~1.6 V 区间的 R 值

When V_{gs} changes from 1.4 V to 1.6 V, R is constant, as shown in insert

图 3 45 nm CMOS 器件中源/漏寄生电阻(R)随 V_{gs} 的变化

Fig. 3 The source/drain parasitic resistance (R) as a function of V_{gs}



两条曲线的测量条件分别为 $V_{ds} = 10$ mV 和 $V_{ds} = 50$ mV measured at two small drain voltages (V_{ds}) of 10 mV and 50 mV

图 2 45 nm CMOS 器件中的两条 I_d-V_{gs} 曲线

Fig. 2 The I_d-V_{gs} characteristics of 45 nm CMOS device

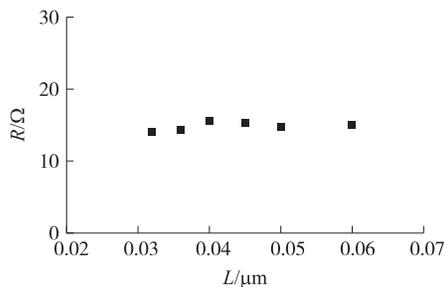


图 4 源/漏寄生电阻(R)随器件栅长的变化

Fig. 4 The source/drain parasitic resistance(R) as a function of gate length

于 32 nm 器件 R 值,这可能是由于计算过程或者工艺过程引入了误差导致的差别,我们会在下一节进行讨论.从图 4 中可以看出, R 与栅长 L 之间没有明显的依赖关系.一般认为,对于相同工艺的器件,其 R 与栅长之间不存在依赖关系.有研究发现, R 与栅长的线性依赖关系可能是由计算过程中的误差带来的,如果在提取源漏串联电阻过程中忽略沟道迁移率的退化,会导致计算得到的 R 值偏高,这个高估值随器件栅长增大线性地增加,使得高估之后的 R 与栅长之间存在线性关系^[28].图 4 中的结果表明,在迁移率恒定的条件下计算得到的 R 与栅长不存在直接的依赖关系.

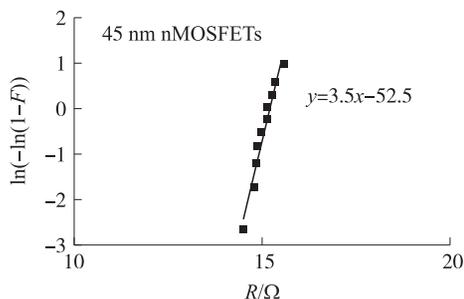
3.3 波动来源与误差分析

我们提取了 10 个 45 nm CMOS 器件的 R 值来研究工艺过程引起的波动.在图 5 中,给出了 10 个 R 值的韦伯分布.图 5 中横坐标为 R 值,纵坐标为韦伯分布的累计分布函数,直线为韦伯分布的拟合结果. R 的波动值($\sigma(R)$)可以利用韦伯分布的标准偏差来表示,对应于韦伯分布斜率(S)的倒数 $\sigma(R) = 1/S$.由图 5 中的拟合结果可得, $\sigma(R)$ 约为 0.3Ω .这个结果表明工艺过程所带来的误差很小,相对于 R 的平均值 15Ω ,可以忽略不计.

本文推导过程中假设在两个不同的 V_{ds} 条件下, L_{eff} 和 C_{ox} 保持不变.首先讨论忽略 C_{ox} 的变化引入的误差,当选择两个不同 V_{ds} 条件的进行计算时, V_{ds} 的变化会导致沟道中横向电场发生变化,间接引起 C_{ox} 的变化,但是这种影响在阈值电压附近较为明显,当 V_{gs} 的值 (1.5 V) 远大于阈值电压时,这种影响可以忽略不计.接下来讨论两个 V_{ds} 条件下假设 L_{eff} 为常数引入的误差.对于工作在线性区的器件,当 V_{ds} 变化不大时, V_{ds} 变化对 L_{eff} 的影响可以用以下关系进行估测

$$\Delta L_{eff} = \frac{\sqrt{V_{bi} + V_{ds2}} - \sqrt{V_{bi} + V_{ds1}}}{\sqrt{V_{bi}} + \sqrt{V_{bi} + V_{dsat}}}, \quad (10)$$

式中, V_{bi} 是源/漏极与衬底之间的内建电势,在室温下,一般约为 1 V .为了计算方便,取 V_{dsat} 为短沟道器件中的典型值 1 V .根据式 (10) 计算得到不同 V_{ds} 差值下的 L_{eff} 变化率,如图 6 所示.在本文所选的 V_{ds} 偏压范围 (10 mV 和 50 mV) 内, V_{ds} 引起的 L_{eff} 的变化很小,在 1% 以下.以上分析表明,计算过程带来了一定的 R 值波动,这种波动误差相对于 R 值是可以忽略不计的.因此,假设两个不同的 V_{ds} 条件下, L_{eff} 和 C_{ox} 保持不变是合理的.

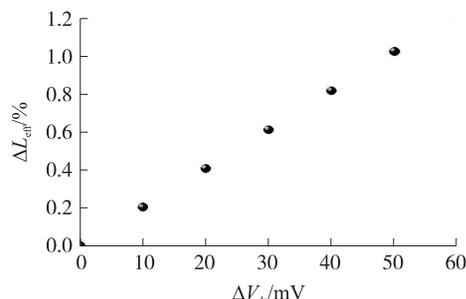


图中的点代表 10 个样品的 R 值,实线为韦伯分布的拟合结果

Ten samples were used for Weibull distribution. The solid lines present the fitting results from Weibull distribution

图 5 45 nm CMOS 器件中源/漏寄生电阻 (R) 的韦伯分布图

Fig. 5 The Weibull plots of R extracted from four methods on 45 nm CMOS devices



图中 V_{ds} 取线性区较小的值时,其变化引起很小的 L_{eff} 波动

The small linear V_{ds} perturbation results in very small changes in L_{eff}

图 6 线性区 V_{ds} 的变化引起 L_{eff} 的变化率

Fig. 6 The change L_{eff} as a function of linear V_{ds} change

4 总结与讨论

本文提出了一种在恒定迁移率条件下提取纳米 CMOS 器件中源/漏寄生电阻的方法.本方法避免了计算过程中由沟道迁移率退化引入与器件栅长相关的误差,且操作简单,通过测量单个 CMOS 器件的 $I_d - V_{gs}$ 曲线即可提取源/漏寄生电阻值.我们详细研究了应用本方法时器件的外加偏压条件,为了保证器件运行在线性区,选取 10 mV 和 50 mV 的漏极偏压;通过选择合适的栅极电压条件,消除了纵向电场引起的沟道迁移率退化;分析发现选取参考值为 1.5 V 的栅极电压可以确保计算结果的稳定性.在合适的外加偏压条件下,我们提

取了 45 nm CMOS 工艺节点下从 32 nm 到 60 nm 之间 6 个不同栅长器件的源/漏寄生电阻值,结果表明源/漏寄生电阻值与栅长不存在直接的依赖关系. 我们分析了计算结果的波动来源,研究表明,器件工艺过程和计算过程中漏极偏压的变化都较小程度地引起了源/漏寄生电阻值的波动,使得计算结果产生误差,这种误差很小,与源/漏寄生电阻值相比可以忽略不计.

[参考文献]

- [1] NG K K, LYNCH W T. Analysis of the gate-voltage-dependent series resistance of MOSFET's[J]. IEEE transactions on electron devices, 1986, 33(7) : 965-972.
- [2] KIM S D, PARK C M, WOO J C S. Advanced model and analysis of series resistance for CMOS scaling into nanometer regime. II. Quantitative analysis[J]. IEEE transactions on electron devices, 2002, 49(3) : 467-472.
- [3] ORTIZ C A, GARCÍA SÁNCHEZ F J, LIOU J J. An improved method for extracting the difference between the drain and source resistances in MOSFETs[J]. Solid-state electron, 1996, 39: 419-421.
- [4] GHIBAUDO G. New method for the extraction of MOSFET parameters[J]. Electron devices letters, 1988, 24(9) : 543-545.
- [5] KUO J J Y, FAN M L, LEE W, et al. Source/drain series resistance induced feedback effect on drain current mismatch and its implication [C] // 2013 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA). Hsinchu, Taiwan, China: IEEE, 2013: 1-2.
- [6] NAZAROV A N, FERAIN I, AKHAVAN N D, et al. Field-effect mobility extraction in nanowire field-effect transistors by combination of transfer characteristics and random telegraph noise measurements[J]. Applied physics letters, 2011, 99(7) : 073502.
- [7] CRETU T, BOUTCHACHA, GHIBAUDO G, et al. New ratio method for effective channel length and threshold voltage extraction in MOS transistors[J]. IEEE Electron Device Lett, 2001, 37(11) : 717-719.
- [8] van MEER H, HENSON K, LYU J H, et al. Limitation of shift-and-ratio based L_{eff} extraction techniques for MOS transistors with halo or pocket implants[J]. IEEE Trans Electron Devices, 2000, 21(3) : 133-136.
- [9] TERADA K, MUTA H. A new method to determine effective MOSFET channel length[J]. Jpn J Appl Phys, 1979, 18(5) : 953-959.
- [10] CHERN J, CHANG P, MOTTA R, et al. A new method to determine MOSFET channel length[J]. IEEE Electron Dev Lett, 1980, 1: 170-173.
- [11] GARCÍA S F J, ORTIZ C A, LIOU J J. On the extraction of the source and drain series resistances of MOSFETs[J]. Microelectronics reliability, 1999, 39(8) : 1 173-1 184.
- [12] OTTEN J A M, KLAASSEN F M. A novel technique to determine the gate and drain bias dependent series resistance in drain engineered MOSFETs using one single device[J]. IEEE Trans Electron Devices, 1996, 43(9) : 1 478-1 488.
- [13] REYCHAUDHURI A, DEEN M J, KING M I H, et al. Finding the asymmetric parasitic source and drain resistances from the a.c. conductances of a single MOS transistor[J]. Solid-state electron, 1996, 39(6) : 909-913.
- [14] LUCA S, ENRICO S, BRUNO R. Parameter extraction from I-V characteristics of single MOSFETs[J]. IEEE Trans Electron Device, 1989, 36(6) : 1 094-1 101.
- [15] GUO J C, CHUNG S S, ANDHSU C C H. A new approach to determine the effective channel length and drain-and-source series resistance of miniaturized MOSFETs[J]. IEEE Trans Electron Devices, 1994, 41(10) : 1 811-1 818.
- [16] FLEURY D, CROS A, BIDLAL G, et al. A new technique to extract the source/drain series resistance of MOSFETs[J]. IEEE Electron Device Lett, 2009, 30(9) : 975-977.
- [17] ADELMO O C, GARCÍA S F J, JUAN M, et al. Indirect fitting procedure to separate the effects of mobility degradation and source-and-drain resistance in MOSFET parameter extraction[J]. Microelectronics reliability, 2009, 49(7) : 689-692.
- [18] SELMI L, RICCO B. Frequency-resolved measurements for the characterization of MOSFET parameters at low longitudinal field[J]. IEEE Trans Electron Dev, 1995, 42: 315-320.
- [19] KIM Y C, KIM H T, CHO S D, et al. Extraction of device model parameters in MOSFETs by combining C-V and I-V characteristics[J]. Journal of the Korean physical society, 2002, 40(1) : 60-63.
- [20] JUAN M, DENISE C L M, ÁLVARO D L R, et al. A new integration-based procedure to separately extract series resistance and mobility degradation in MOSFETs[J]. Semicond Sci Technol, 2009, 24(10) : 105015.
- [21] FLEURY D, CROS A, BRUT H, et al. New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs [C] // 2008 IEEE international conference on microelectronic test structures (ICMTS). Edinburgh, 2008.

(下转第 60 页)

- [10] KRYGER G S I, SUSSMAN J L. Structure of acetylcholinesterase complexed with E2020(Aricept): implications for the design of new anti-Alzheimer drugs[J]. Structure with folding and design, 1999.
- [11] NICOLET Y, LOCKRIDGE O, MASSON P, et al. Crystal structure of human butyrylcholinesterase and of its complexes with substrate and products[J]. The journal of biological chemistry, 2003, 278: 41 141–41 147.
- [12] GARRETT M M, DAVID S G, ROBERT S H, et al. Automated docking using a Lamarckian genetic algorithm and an empirical binding free energy function[J]. Journal of computational chemistry, 1998, 19: 1 639–1 662.
- [13] CORNELL W D, CIEPLAK P, BAYLY C I, et al. A second generation force field for the simulation of proteins, nucleic acids, and organic molecules[J]. Journal of the American chemical society, 1995, 117: 5 179–5 197.
- [14] WANG J M, WOLF R M, CALDWELL J W, et al. Development and testing of a general amber force field[J]. Journal of computational chemistry, 2004, 25: 1 157–1 174.
- [15] JORGENSEN W L, CHANDRASEKHAR J, MADURA J D, et al. Comparison of simple potential functions for simulating liquid water[J]. The journal of chemical physics, 1983, 79: 926–935.
- [16] ANDERSEN H C. Molecular dynamics simulations at constant pressure and/or temperature[J]. The journal of chemical physics, 1980, 72: 2 384–2 393.
- [17] KUMARI R, KUMAR R, LYNN A. g_mmpbsa-a GROMACS tool for high-throughput MM-PBSA Calculations[J]. Journal of chemical information and modeling, 2014, 54: 1 951–1 962.
- [18] SAIZ U L, CABRERA M A, FROEYEN M. Exploring the conformational changes of the ATP binding site of gyrase B from Escherichia coli complexed with different established inhibitors by using molecular dynamics simulation[J]. J Mol Graph Model, 2011, 29: 726–739.

[责任编辑:顾晓天]

(上接第54页)

- [22] BAEK R H, BAEK C K, JUNG S W, et al. Characteristics of the series resistance extracted from Si nanowire FETs using the Y-function technique[J]. IEEE Trans Nano Technol, 2010, 9: 212–217.
- [23] LIN D W, CHENG M L, WANG S W, et al. A Constant-mobility method to enable MOSFET series-resistance extraction[J]. IEEE electron device Lett, 2007, 28: 1 132–1 134.
- [24] HO C S, LO Y C, CHANG Y H, et al. Determination of gate-bias dependent source/drain series resistance and effective channel length for advanced MOS devices[J]. Solid-state electron, 2006, 50: 1 774–1 779.
- [25] MEIJER E J, GELINCK G H, Van VEENENDAAL E, et al. Scaling behavior and parasitic series resistance in disordered organic field-effect transistors[J]. Applied physics letters, 2003, 82(25): 4 576–4 578.
- [26] CHEN W P N, SU P, GOTO K I, et al. Series resistance and mobility extraction method in nanoscale MOSFETs[J]. J Electro Chem Soc, 2009, 156(1): H34–H38.
- [27] CAMPBELL J P, CHEUNG K P, SUEHLE J S, et al. A simple series resistance extraction methodology for advanced CMOS devices[J]. IEEE electron device letters, 2011, 32(8): 1 047–1 049.
- [28] CAMPBELL J P, CHEUNG K P, DROZDOV S A, et al. Channel length-dependent series resistance? [C]//Silicon nanoelectronics workshop (SNW). Hawaii, USA; IEEE, 2012: 1–2.
- [29] MA L J, JI X L, CHEN Y C, et al. Extraction of channel length independent series resistance for deeply scaled metal-oxide-semiconductor field-effect transistors[J]. Chinese physics letters, 2014, 31(9): 097302.

[责任编辑:顾晓天]